**实验二** **算术逻辑运算实验**

**一．实验目的**

1. 了解简单运算器的数据传输通路。
2. 验证运算功能发生器的组合功能。
3. 掌握算术逻辑运算加、减、与的工作原理。
4. 验证实验台运算的8位加、减、与、直通功能。
5. 按给定数据，完成几种指定的算术和逻辑运算。

**二．实验内容**

1．实验原理

算术逻辑单元ALU的数据通路如图2-1所示。其中运算器ALU181根据74LS181的功能用VHDL硬件描述语言编辑而成，构成8位字长的ALU。参加运算的两个8位数据分别为A[7..0]和B[7..0]，运算模式由S[3..0]的16种组合决定，而S[3..0]的值由4位2进制计数器LPM\_COUNTER产生，计数时钟是Sclk（图2-1）；此外，设M=0，选择算术运算，M=1为逻辑运算，CN为低位的进位位；F[7..0]为输出结果，CO为运算后的输出进位位。两个8位数据由总线IN[7..0]分别通过两个电平锁存器74373锁入，ALU功能如表2-1所示。

表2-1 ALU181的运算功能

|  |  |  |  |
| --- | --- | --- | --- |
| 选择端 | 高电平作用数据 | | |
| S3 S2 S1 S0 | M=H | M=L 算术操作 | |
| 逻辑功能 | Cn=L（无进位） | Cn=H（有进位） |
| 0 0 0 0 |  |  |  |
| 0 0 0 1 |  |  | 加1 |
| 0 0 1 0 |  |  | +1 |
| 0 0 1 1 |  | 减1（2的补码） |  |
| 0 1 0 0 |  |  | 加1 |
| 0 1 0 1 |  | 加 | 加+1 |
| 0 1 1 0 |  |  |  |
| 0 1 1 1 |  |  |  |
| 1 0 0 0 |  |  | 加1 |
| 1 0 0 1 |  |  | 加1 |
| 1 0 1 0 |  |  | 加1 |
| 1 0 1 1 |  |  |  |
| 1 1 0 0 |  | \* |  |
| 1 1 0 1 |  |  | 加1 |
| 1 1 1 0 |  |  | 加1 |
| 1 1 1 1 |  |  |  |

注1、\* 表示每一位都移至下一更高有效位, “+”是逻辑或，“加”是算术加

注2、在借位减法表达上，表2-1与标准的74181的真值表略有不同。

三．实验步骤

（1）设计ALU元件

在Quartus II 环境下，用文本输入编辑器Text Editor输入ALU181.VHD算术逻辑单元文件，编译VHDL文件，并将ALU181.VHD文件制作成一个可调用的原理图元件。

（2）以原理图方式建立顶层文件工程

选择图形方式。根据图2-1输入实验电路图，从Quartus II的基本元件库中将各元件调入图形编辑窗口、连线，添加输入输出引脚。

将所设计的图形文件ALU.bdf保存到原先建立的文件夹中，将当前文件设置成工程文件，以后的操作就都是对当前工程文件进行的。

（3）器件选择

选择Cyclone系列，在Devices中选择器件EP1C6QC240C8。编译，引脚锁定，再编译。引脚锁定后需要再次进行编译，才能将锁定信息确定下来，同时生成芯片编程/配置所需要的各种文件。

（4）芯片编程Programming（可以直接选择光盘中的示例已完成的设计进行验证实验）

打开编程窗口。将配置文件ALU.sof下载进GW48系列现代计算机组成原理系统中的FPGA中。

（5）选择实验系统的电路模式是NO.0，验证ALU的运算器的算术运算和逻辑运算功能

根据表2-1，从键盘输入数据A[7..0]和B[7..0]，并设置S[3..0]、M、Cy，验证ALU运算器的算术运算和逻辑运算功能，记录实验数据。

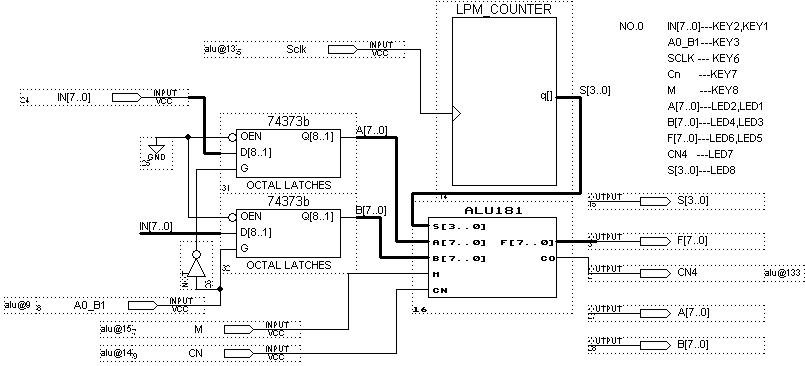


图2-1 算术逻辑单元ALU实验原理图

**四．实验过程**

（1）按图2-1所示，在本验证性示例中用数据选择开关（键3控制）的高/低电平选择总线通道上的8位数据进入对应的74373中；即首先将键3输入低电平，用键2、键1分别向A[7..0] 置数01010101（55H），这时在数码管2/1上显示输入的数据（55H）；然后用键3输入高电平，再用键2、键1分别向B[7..0]置数10101010（AAH），这时在数码管4/3上显示输入的数据（AAH）；这时表示在图2-1中的两个74373锁存器中分别被锁入了加数55H和被加数AAH。可双击图2-1的ALU181元件，了解其VHDL描述。

（2）设定键8为低电平，即M=0（允许算术操作），键6**控制时钟SCLK，可设置表2-1的S[3..0]=0 ~ F。现连续按动键6，**设置操作方式选择S[3..0]=9（加法操作），使数码管8显示9，以验证ALU的算术运算功能： 当键7设置cn=0（最低位无进位）时，数码管7/6/5=0FF（55H+AAH=0FFH）；

当键7设置cn=1（最低位有进位）时，数码管7/6/5=100（55H+AAH+1=100H）；

（3）若设定键8为高电平，即M=1，键KEY6控制时钟SCLK，设置S[3..0]=0~F，KEY7设置cn=0或cn=1

(4) 验证ALU181的算术运算和逻辑运算功能，ALU181模块功能可参照表2-1。

表2-3给定了寄存器DRl=A[7..0]和DR2=B[7..0]的数据(十六进制)，要求根据此数据对照逻辑功能表所得的理论值(要求课前完成)与实验结果值进行比较(均采用正逻辑)。

(5)表2-4列出了8种常用的算术与逻辑运算要求指定的操作内容，正确选择运算器数据通路、控制参数S3、S2、S1、S0、M，并将实验结果值填入括号内，表中给定原始数据DR1=A[7..0]和DR2=B[7..0]，以后的数据取自前面运算的结果。

表2-3

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| S3 S2 S1 S0 | A[7..0] | B[7..0] | 算术运算 M=0 | | 逻辑运算（M=1） |
| cn=0（无进位） | cn=1（有进位） |
| 0000 | AA | 55 | F=（ 0AA ） | F=（ 0AB ） | F=（ 155 ） |
| 0001 | AA | 55 | F=（ 0FF ） | F=（ 100 ） | F=（ 100 ） |
| 0010 | AA | 55 | F=（ 1AA ） | F=（ 1AB ） | F=（ 055 ） |
| 0011 | AA | 55 | F=（ 000 ） | F=（ 1FF ） | F=（ 000 ） |
| 0100 | FF | 01 | F=（ 1FD ） | F=（ 1FE ） | F=（ 1FE ） |
| 0101 | FF | 01 | F=（ 1FD ） | F=（ 1FE ） | F=（ 1FE ） |
| 0110 | FF | 01 | F=（ 0FE ） | F=（ 0FD ） | F=（ 0FE ） |
| 0111 | FF | 01 | F=（ 1FF ） | F=（ 1FE ） | F=（ 0FE ） |
| 1000 | FF | FF | F=（ 1FE ） | F=（ 1FF ） | F=（ 000 ） |
| 1001 | FF | FF | F=（ 1FE ） | F=（ 1FF ） | F=（ 1FF ） |
| 1010 | FF | FF | F=（ 0FE ） | F=（ 0FF ） | F=（ 0FF ） |
| 1011 | FF | FF | F=（ 0FF ） | F=（ 0FE ） | F=（ 0FF ） |
| 1100 | 55 | 01 | F=（ 0AA ） | F=（ 0AB ） | F=（ 0AB ） |
| 1101 | 55 | 01 | F=（ 0AA ） | F=（ 0AB ） | F=（ 1FF ） |
| 1110 | 55 | 01 | F=（ 054 ） | F=（ 055 ） | F=（ 055 ） |
| 1111 | 55 | 01 | F=（ 055 ） | F=（ 054 ） | F=（ 055 ） |

表2-4 8种常用的算术与逻辑运算

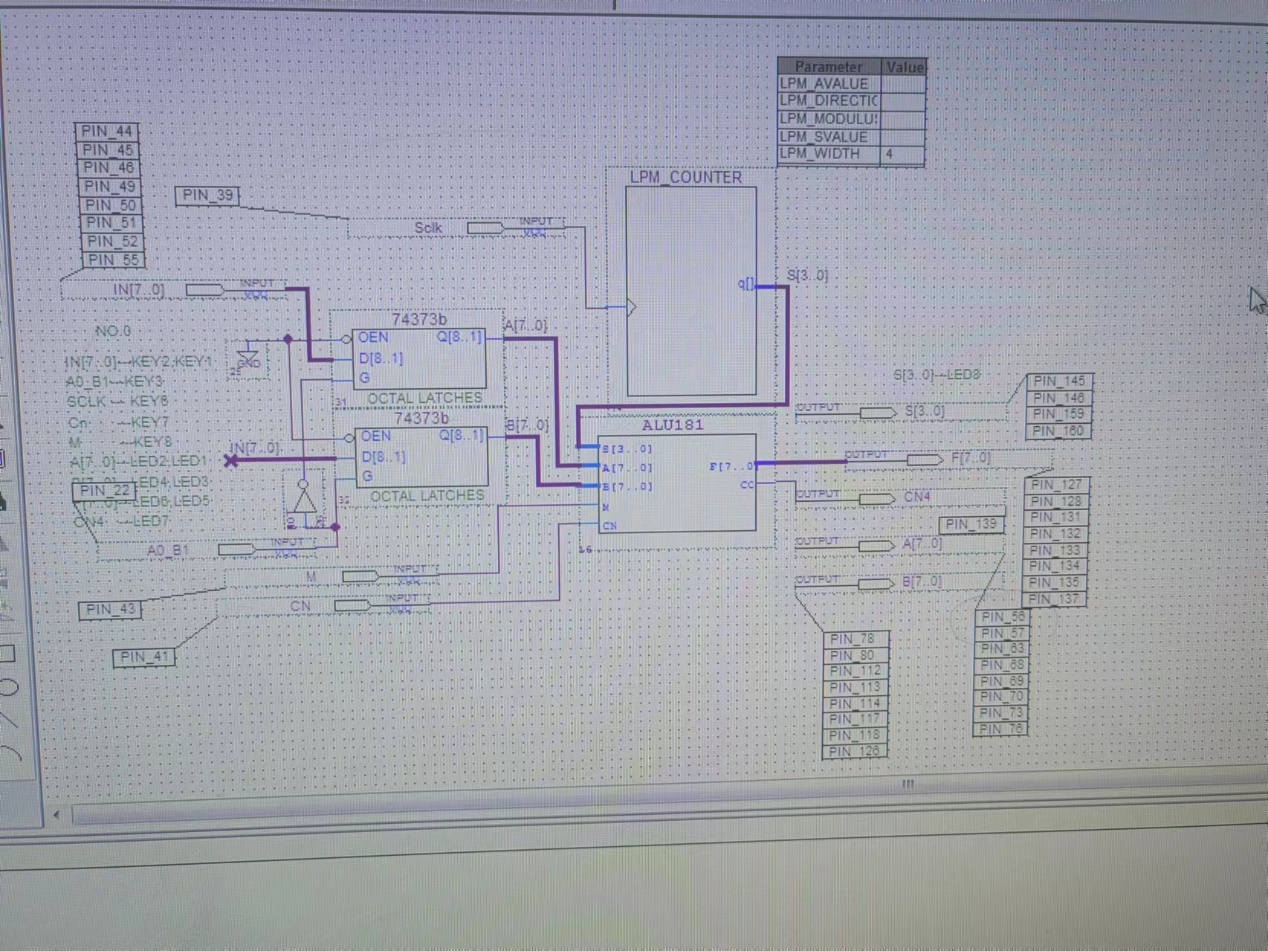
|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| 操作 | S3 S2S1S0 | M | Cn | DR1 | DR2 | 运算关系及结果显示 | Cn4 |
| 逻辑乘 | 1011 | 1 | 0 | 66 | FF | DR1 ．DR2→DR2( 66 ) | 0 |
| 传送 | 1010 | 1 | 0 | 66 | 66 | DR1→ DR2 ( 66 ) | 0 |
| 按位加 | 0110 | 1 | 0 | 66 | 66 | DR1DR2→DR2( 00 ) | 0 |
| 取反 | 0101 | 1 | 0 | 66 | 00 | →　DR2 ( 99 ) | 1 |
| 加1 | 0000 | 0 | 1 | 66 | 99 | DR2 + 1→DR2 ( 9A ) | 0 |
| 求负 | 0010 | 0 | 1 | 66 | 9A | + 1 →DR2( 66 ) | 0 |
| 加法 | 1001 | 0 | 0 | 66 | 66 | DR1 + DR2→DR2( CC ) | 0 |
| 减法 | 0110 | 0 | 0 | 66 | CC | DR1 – DR2→DR2( 9A ) | 1 |

**五．实验要求**

1、做好实验预习，掌握运算器的数据传送通路和ALU的功能特性，并熟悉本实验中所用的控制台开关的作用和使用方法。

2、写出实验报告，内容是：

1. 实验目的；
2. 按理论分析值填写好表2-2、表2-3和表2-4，给出对应的仿真波形。
3. 列表比较实验数据（2）的理论分析值与实验结果值；并对结果进行分析。实验结果与理论分析值比较，有没有不同？为什么?
4. 通过本实验，你对运算器ALU有何认识，有什么心得体会？

**六、电路图**

**七．思考题**

1．用VHDL实现输入暂存器74373B的功能，及模式选择计数器LPM\_COUNTER的功能。

2．用VHDL表达整个ALU实验电路的功能，对电路进行仿真、引脚锁定、并在实验台上实现其功能。

3．用VHDL设计一个简化的8位alu，具有基本算术运算（加、减、带进位加、减）功能和逻辑运算（与AND、或OR、异或XOR、非NOT等）功能，给出仿真波形，并在实验台上实现。

4．用VHDL设计一个16位的ALU，实现基本的算术逻辑运算，为了节省逻辑资源，建议使用两个8位ALU模块级联而成。

5．对ALU181进行算术运算和逻辑运算的功能仿真，并记录仿真波形。

**八．实验心得体会**

 1.掌握了运算器的传输和计算方法，了解了简单运算器的数据传输通路。

  2.熟悉了逻辑运算单元ALU181的真值表和对应的功能。

  3.我加深了对FPGA器件工作方式的理解，在验证ALU181功能的过程中提升了自己的动手能力，这也能让自己变得更细致和有耐心。